

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-163678

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

H03H 17/02

H03C 1/00

H03D 1/00

H04B 1/40

(21)Application number : 09-343639

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 01.12.1997

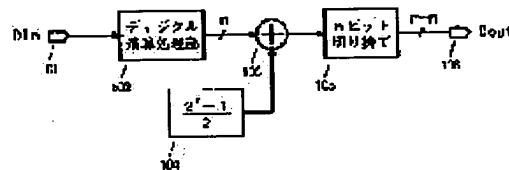
(72)Inventor : OKA TATSUTO

(54) DIGITAL SIGNAL PROCESSING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce direct current offset that is mixed into a signal at the time of performing bit truncation for hardware scale reduction in the case of a digital filter, etc.

SOLUTION: When a truncation processing part 105 rounds down n-bits of an output of an operation processing part 102 of a digital signal, a correction value generation circuit 104 is provided to generate a correction value $(2^n-1)/2$ of a truncation error and correction is performed by using an adder 103. Consequently, it is possible to get a signal from which direct current offset to occur by truncation is eliminated from an output terminal 104.



LEGAL STATUS

[Date of request for examination]

25.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-163678

(43)公開日 平成11年(1999) 6月18日

(51)Int.Cl.⁸

H 0 3 H 17/02
H 0 3 C 1/00
H 0 3 D 1/00
H 0 4 B 1/40

識別記号

6 4 1

F I

H 0 3 H 17/02
H 0 3 C 1/00
H 0 3 D 1/00
H 0 4 B 1/40

6 4 1 J

A

A

審査請求 未請求 請求項の数6 F D (全 6 頁)

(21)出願番号

特願平9-343639

(22)出願日

平成9年(1997)12月1日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 岡 達人

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

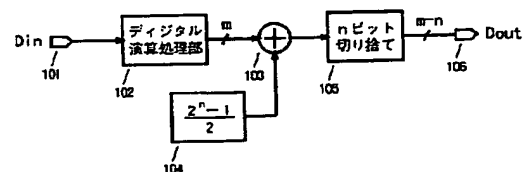
(74)代理人 弁理士 役 昌明 (外3名)

(54)【発明の名称】 デジタル信号処理回路

(57)【要約】

【課題】 デジタルフィルタなどの信号処理回路において、ハードウェア規模削減のためにビット切り捨てを行なう際に、信号に混入する直流オフセットを低減することを目的とする。

【解決手段】 デジタル信号の演算処理部102の出力を、切り捨て処理部105でnビット切り捨てる際に、切り捨て誤差の補正值 $(2^n - 1) / 2$ を生成する補正值生成回路104を設け、加算器103を用いて補正を行なうことにより、切り捨てによって発生する直流オフセットが除去された信号を出力端子104から得ることができる。



【特許請求の範囲】

【請求項1】 入力信号を演算処理し出力信号を n ビット切り捨てるデジタル信号処理回路において、出力信号に対して切り捨て誤差の補正値を加算する加算器と、前記切り捨て誤差の補正値として $(2^n - 1) / 2$ を生成する補正値生成回路とを備えることを特徴としたデジタル信号処理回路。

【請求項2】 入力信号を演算処理し出力信号を n ビット切り捨てるデジタル信号処理回路において、切り捨て誤差の補正値として $(2^n - 1) / 2$ を生成し、出力信号に対して前記切り捨て誤差の補正値を加算する直流オフセット補正方法。

【請求項3】 アンテナ、変復調部、制御部を有する無線通信機において、前記無線通信機の変復調部は、少なくとも入力信号を演算処理し出力信号を n ビット切り捨てるデジタル信号処理回路を備え、該デジタル信号処理回路は、出力信号に対して切り捨て誤差の補正値を加算する加算器と、前記切り捨て誤差の補正値として $(2^n - 1) / 2$ を生成する補正値生成回路とを備えることを特徴とした無線通信機。

【請求項4】 入力信号を演算処理し出力信号を n_i ($i = 1, 2, \dots$) ビット切り捨てる複数段のブロックで構成されるデジタル信号処理回路において、出力信号に対して切り捨て誤差の補正値を加算する加算器と、前記切り捨て誤差の補正値として $(2^{n_i} - 1) / 2$ から算出される値を生成する補正値生成回路とを備えることを特徴としたデジタル信号処理回路。

【請求項5】 入力信号を演算処理し出力信号を n_i ($i = 1, 2, \dots$) ビット切り捨てる複数段のブロックで構成されるデジタル信号処理回路において、切り捨て誤差の補正値として $(2^{n_i} - 1) / 2$ から算出される値を生成し、出力信号に対して前記切り捨て誤差の補正値を加算する直流オフセット補正方法。

【請求項6】 アンテナ、変復調部、制御部を有する無線通信機において、前記無線通信機の変復調部は、少なくとも入力信号を演算処理し出力信号を n_i ($i = 1, 2, \dots$) ビット切り捨てる複数段のブロックで構成されるデジタル信号処理回路を備え、該デジタル信号処理回路は、出力信号に対して切り捨て誤差の補正値を加算する加算器と、前記切り捨て誤差の補正値として $(2^{n_i} - 1) / 2$ から算出される値を生成する補正値生成回路とを備えることを特徴とした無線通信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル信号処理の演算ビット数を切り捨て処理により削減するデジタル信号処理回路に関し、特に切り捨てによって生じた誤差のうちの直流成分を補正する回路を設けることにより、直流オフセット誤差の小さいビット数削減を実現するよう構成したものである。

【0002】

【従来の技術】デジタル信号処理は、離散振幅の信号を有限のビット数のデジタル値に置き換えて信号を処理するものである。

【0003】このビット数が大きければ、信号処理の精度が高くなるが、必要なハードウェアの規模は増大してしまう。したがって、両者のトレードオフを考慮したビット数を選ぶ必要がある。

【0004】デジタル信号処理の過程では、加算や乗算を行なうと、入力のビット数に対して出力のビット数は増加する。このとき、ハードウェアが必要以上に増大するのを避けるためには、出力のビット数を適当に削減する処理が行なわれる。

【0005】ビット数を削減する方法には、四捨五入に相当する丸めと、単に下位のビットを無視する切り捨てとがある。

【0006】丸めは、丸めを行なうブロック毎に四捨五入に相当する演算を論理回路で実行する。これは、削減するビットの値を0.5LSBと比較してビットの繰り上げが必要かどうかを判断する処理と、繰り上げを実行するための加算器での演算とで実現される。このため、丸めでは比較判断の処理時間や加算器などのハードウェアが必要となるが、切り捨てにはそれがなく、簡単に実現できる。

【0007】したがって、ビット数を削減する処理としては切り捨てが有利であり、容易な実現手段として用いられている。ビット数を削減する処理としては切り捨てを行なう従来構成を図5に示す。図5において、デジタル信号入力501は例えばデジタルフィルタのようなデジタル演算処理部502に印加され、デジタル演算処理が施されて、 m ビットの信号を出力する。このとき、ハードウェアの規模を低減するために、 n ビット切り捨て部503を介することにより、 m ビットの信号は n ビットだけ削減される。その結果、出力信号は $m - n$ ビットとなって、切り捨て後のデジタル信号出力504となる。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の切り捨てにおいては、ビット削減に伴って発生する誤差が丸めと比較して大きく、特に、誤差に含まれる直流成分はその周波数スペクトル密度が高いため、直流オフセット誤差となって信号処理の精度が大きく劣化するという問題を有していた。

【0009】本発明は上記従来の問題を解決するもので、ビット数を削減する手段として切り捨てを行ない、切り捨てによって生じた誤差のうちの直流成分を補正する回路を設けることにより、丸めのようにブロック毎に四捨五入の演算を行なう回路を必要とせず、直流オフセット誤差の小さいビット数削減を実現するデジタル信号処理回路を提供することを目的とする。

【0010】

【課題を解決するための手段】上記問題を解決するため本発明は、出力信号に対して切り捨て誤差の補正値を加算する加算器と、切り捨て誤差の補正値を生成する補正値生成回路とを追加し、 n ビットの切り捨てによって生じる誤差の平均値が切り捨て後の最下位ビット(LSB)に対して $(2^n - 1) / 2^{n+1}$ であることを用いて算出した補正値を出力信号に加算することにより、直流オフセット誤差の小さいビット数削減が可能なデジタル信号処理回路を実現できる。

【0011】

【発明の実施の形態】本発明の請求項1に記載の発明は、入力信号を演算処理し出力信号を n ビット切り捨てるデジタル信号処理回路において、出力信号に対して切り捨て誤差の補正値を加算する加算器と、前記切り捨て誤差の補正値として $(2^n - 1) / 2$ を生成する補正値生成回路とを備えることを特徴としたデジタル信号処理回路としたものであり、直流オフセット誤差を除去するという作用を有する。

【0012】また、本発明の請求項2に記載の発明は、入力信号を演算処理し出力信号を n ビット切り捨てるデジタル信号処理回路において、切り捨て誤差の補正値として $(2^n - 1) / 2$ を生成し、出力信号に対して前記切り捨て誤差の補正値を加算するビット切り捨て誤差補正方法としたものであり、直流オフセット誤差を除去するという作用を有する。

【0013】また、本発明の請求項3に記載の発明は、アンテナ、変復調部、制御部を有する無線通信機において、前記無線通信機の変復調部は、少なくとも入力信号を演算処理し出力信号を n ビット切り捨てるデジタル信号処理回路を備え、該デジタル信号処理回路は、出力信号に対して切り捨て誤差の補正値を加算する加算器と、前記切り捨て誤差の補正値として $(2^n - 1) / 2$ を生成する補正値生成回路とを備えることを特徴とした無線通信機としたものであり、変調信号や復調信号の直流オフセット誤差を除去して変調精度や受信誤り率などの性能を改善するという作用を有する。

【0014】また、本発明の請求項4に記載の発明は、入力信号を演算処理し出力信号を n_i ($i = 1, 2, \dots$) ビット切り捨てる複数段のブロックで構成されるデジタル信号処理回路において、出力信号に対して切り捨て誤差の補正値を加算する加算器と、前記切り捨て誤差の補正値として $(2^{n_i} - 1) / 2$ から算出される値を生成する補正値生成回路とを備えることを特徴としたデジタル信号処理回路としたものであり、ビット切り捨てを行なうブロックが複数段あっても各1個の加算器と補正値生成回路で直流オフセット誤差を除去するという作用を有する。

【0015】また、本発明の請求項5に記載の発明は、

・・・) ビット切り捨てる複数段のブロックで構成されるデジタル信号処理回路において、切り捨て誤差の補正値として $(2^{n_i} - 1) / 2$ から算出される値を生成し、出力信号に対して前記切り捨て誤差の補正値を加算するビット切り捨て誤差補正方法としたものであり、ビット切り捨てを行なうブロックが複数段あってもどこか1ヶ所で補正値を加算することで直流オフセット誤差を除去するという作用を有する。

【0016】また、本発明の請求項6に記載の発明は、アンテナ、変復調部、制御部を有する無線通信機において、前記無線通信機の変復調部は、少なくとも入力信号を演算処理し出力信号を n_i ($i = 1, 2, \dots$) ビット切り捨てる複数段のブロックで構成されるデジタル信号処理回路を備え、該デジタル信号処理回路は、出力信号に対して切り捨て誤差の補正値を加算する加算器と、前記切り捨て誤差の補正値として $(2^{n_i} - 1) / 2$ から算出される値を生成する補正値生成回路とを備えることを特徴とした無線通信機としたものであり、変調信号や復調信号の直流オフセット誤差を除去して変調精度や受信誤り率などの性能を改善するという作用を有する。

【0017】以下、本発明の実施の形態について、図1から図6を用いて説明する。

【0018】(第1の実施の形態) 図1は本発明の第1の実施の形態のデジタル信号処理回路の構成を示し、図1においてデジタル信号処理回路は、例えばデジタルフィルタのような演算処理部102と、加算器103と、切り捨て誤差の補正値として $(2^n - 1) / 2$ を生成する補正値生成回路104と、 n ビットの切り捨てを行なう切り捨て処理部105とから構成されている。なお、図1においては、デジタル信号の入力端子101と、切り捨て後のデジタル信号の出力端子106が図示されている。

【0019】以上のように構成されたデジタル信号処理回路について、図1、図2、図5、図6を用いてその動作を説明する。

【0020】図1において、演算処理部102では入力端子101からのデジタル信号に対して例えばフィルタリングのような何らかの演算処理を行ない、 m ビットの信号を出力する。このとき、ハードウェアの規模を低減するには、 m ビットの信号を n ビットだけ削減すればよい。その結果、出力信号は $m - n$ ビットとなる。

【0021】ビット数を削減することによる誤差は、一般に広帯域の周波数スペクトラムを有する丸め雑音となって信号へ混入する。したがって、丸め雑音が許容できる範囲で削減するビット数 n が選ばれる。

【0022】ビット数の削減は下位の n ビットを切り捨てることによって容易に実現できるが、例えば図5に示す従来の切り捨て処理において $n = 2$ とした場合、図6に示すような誤差 e_1 、 e_2 、 e_3 が発生する。これら

の誤差の平均値は-1.5であり、直流オフセットとなる。

【0023】図1の構成では、補正值生成回路104が補正值 $(2^n - 1) / 2$ を発生し、加算器103で補正值を加算した後に切り捨て処理部105でnビットの切り捨てを行なうことにより、ビット切り捨てに伴って発生する直流オフセットを除去する。

【0024】 $n = 2$ の場合の動作を、図2を使って説明する。 $(2^n - 1) / 2 = 1.5$ となるため、補正值生成回路は1.5を整数値化した2.0という値を生成し、元のデータ(切り捨て前のデータ)に加算した後、2ビットの切り捨てを行なう。その結果、誤差 e_1 、 e_2 、 e_3 が発生するが、これらの誤差の平均値は+0.5となり、直流オフセットが低減される。

【0025】補正值は、切り捨てるビット数nが決まればあらかじめ算出できる。したがって、補正值生成回路は、特に補正值を求める演算などを行なう必要はなく、あらかじめ算出された一定の補正值を記憶しておけばよい。例えばプルアップ・プルダウンのような簡単な回路接続で実現される。

【0026】四捨五入の演算と比較すると、加算の演算が同じように必要となるが、一定の値を補正值として加算すればよいために加算器の構成を簡単にすることが可能であり、丸め処理を行なう場合に比べてハードウェアの増加は小さい。

【0027】以上のように、本発明の第1の実施の形態によれば、ビット切り捨て誤差の補正值を加算する加算器と、切り捨て誤差の補正值として $(2^n - 1) / 2$ を生成する補正值生成回路とを設けることにより、nビットの切り捨てによって発生する直流オフセットを除去することができ

る。【0028】なお、切り捨て誤差の補正值は $(2^n - 1) / 2$ であれば直流オフセットを完全に除去できるが、 $(2^n - 1) / 2$ の近似値であってもよく、その場合には直流オフセットを低減する効果が得られる。例え*

$$A_i + E_i = \{ (A_{i-1} + E_{i-1}) \times G_i - (2^{n_i} - 1) / 2 \} / 2^{n_i} \quad (1)$$

ここに、 $A_i = A_{i-1} \times G_i / 2^{n_i}$ であるので、上記式(1)より式(2)を得る。

$$E_i = \{ E_{i-1} \times G_i - (2^{n_i} - 1) / 2 \} / 2^{n_i} \quad \dots (2)$$

【0034】したがって、k段の演算処理部からなる図3の構成では、補正值生成回路305が以下の式(3)の漸化式で算出される補正值 $-E_k$ を発生し、加算器304※

$$E_k = \{ E_{k-1} \times G_k + (2^{n_k} - 1) / 2 \} / 2^{n_k} \quad (E_0 = 0) \quad \dots (3)$$

ただし、入力端子301からのデジタル信号は切り捨て処理前の信号であるから、直流オフセットを生じていないと考え、 $E_0 = 0$ とした。

★

*ば $(2^n - 1) / 2$ が整数でないような場合には、 $(2^n - 1) / 2$ を四捨五入して $(2^n - 1) / 2$ に最も近い整数を選べばよい。

【0029】また、本実施の形態のデジタル信号処理回路の適用例としては、少なくとも変復調部を有する無線通信機において、入力信号を演算処理するデジタル信号処理回路に適用すれば、変調信号や復調信号の直流オフセットを低減できるので、無線通信機を性能よく提供することができる。

10 【0030】(第2の実施の形態) 図3は本発明の第2の実施の形態のデジタル信号処理回路の構成を示し、図3においてデジタル信号処理回路は、例えばデジタルフィルタのような演算処理部302、303と、加算器304と、切り捨て誤差の補正值として $(2^{n_i} - 1) / 2$ (但し、 $i = 1, 2, \dots, k$) から算出される値 $-E_k$ を生成する補正值生成回路305と、 n_1 ビットの切り捨てを行なう切り捨て処理部306と、 n_k ビットの切り捨てを行なう切り捨て処理部307とから構成されている。なお、図3においては、デジタル信号の入力端子301と、切り捨て後のデジタル信号の出力端子308が図示されている。

【0031】以上のように構成されたデジタル信号処理回路について、図3と図4を用いてその動作を説明する。

【0032】図3に示すように切り捨て処理部306、307のように複数段ある場合には、各段で発生する切り捨て誤差が積算され、出力端子308に現れる。しかし、複数の加算器で切り捨て処理毎に誤差を補正する必要はなく、どこか1ヶ所に加算器304を設けて補正を行なえばよい。

【0033】図4において、i段目の切り捨てブロック405の出力信号成分のうち、本来の信号成分を A_i 、切り捨てによって生じた直流誤差成分を E_i とすると、i段目の切り捨てブロック405の出力信号 $A_i + E_i$ は以下の式(1)で表される。

$$A_i + E_i = \{ (A_{i-1} + E_{i-1}) \times G_i - (2^{n_i} - 1) / 2 \} / 2^{n_i} \quad (1)$$

ここに、 $A_i = A_{i-1} \times G_i / 2^{n_i}$ であるので、上記式(1)より式(2)を得る。

$$E_i = \{ E_{i-1} \times G_i - (2^{n_i} - 1) / 2 \} / 2^{n_i} \quad \dots (2)$$

※で補正值を加算することにより、ビット切り捨てに伴って発生する直流オフセットを除去する。

【0035】

★【0036】上記式(3)より、 E_k の一般式として以下の式(4)を得る。

【数4】

$$E_k = \sum_{i=1}^{k-1} \left\{ -\frac{2^{n_i} - 1}{2} \cdot \frac{1}{2^{n_i}} \cdot \prod_{j=i+1}^k \left(G_j \cdot \frac{1}{2^{n_j}} \right) \right\} - \frac{2^{n_k} - 1}{2} \cdot \frac{1}{2^{n_k}} \quad (4)$$

【0037】補正值は、切り捨てるビット数 n_i と演算処理部の直流利得 G_i が決まればあらかじめ算出できる

(但し、 $i = 1, 2, \dots, k$)。したがって、補正值生成回路は、特に補正值を求める演算などを行なう必要

はなく、あらかじめ算出された一定の補正値を記憶しておけばよい。例えばプルアップ・プルダウンのような簡単な回路接続で実現される。

【0038】四捨五入の演算と比較すると、切り捨てを行なうブロック毎に加算の演算を行なう必要がないため、丸め処理を行なう場合に比べてハードウェアの規模を大きく低減することができる。

【0039】以上のように、本発明の第2の実施の形態によれば、複数段の切り捨て処理部から構成される場合には、ビット切り捨て誤差の補正値を加算する加算器と、切り捨て誤差の補正値として $(2^{ni}-1)/2$ から算出される値を生成する補正値生成回路とをそれぞれ1ヶ所に設けることにより、 n_i ($i=1, 2, \dots$) ビットの切り捨てによって発生する直流オフセットを除去することができる。

【0040】なお、加算器304は図3の位置に限定されるものではなく、誤差を補正するのに十分な演算精度が確保できる位置であれば、別の位置に挿入されてもよい。その際、誤差の補正値 E_k には、加算器より後段に位置するブロックの直流利得の積で割った値を用いる。

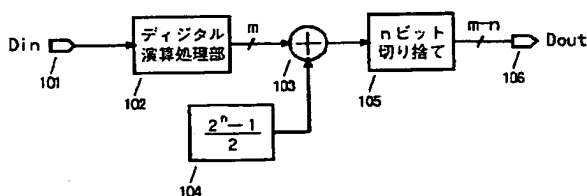
【0041】また、切り捨て誤差の補正値は E_k であれば直流オフセットを完全に除去できるが、 E_k の近似値であってもよく、その場合には直流オフセットを低減する効果が得られる。例えば E_k が整数でないような場合には、 E_k を四捨五入して E_k に最も近い整数を選べばよい。

【0042】さらに、本実施の形態のデジタル信号処理回路の適用例としては、少なくとも変復調部を有する無線通信機において、入力信号を演算処理するデジタル信号処理回路に適用すれば、変調信号や復調信号の直流オフセットを低減できるので、無線通信機を性能よく提供することができる。

【0043】

【発明の効果】 以上のように本発明のデジタル信号処

【図1】



理回路は、切り捨て誤差の補正値を加算する加算器と、切り捨て誤差の補正値を生成する補正値生成回路とを設けることにより、ビットの切り捨てに伴って発生する直流オフセットを低減し、信号処理の精度を向上することができるという格別の効果を奏する。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態の切り捨て誤差補正を施すデジタル信号処理回路の構成を示すブロック図。

【図2】 本発明の第1の実施の形態のデジタル信号処理回路における切り捨て誤差補正の動作を説明するためのグラフ。

【図3】 本発明の第2の実施の形態の切り捨て誤差補正を施すデジタル信号処理回路の構成を示すブロック図。

【図4】 本発明の第2の実施の形態のデジタル信号処理回路における誤差発生原理を説明するためのブロック図。

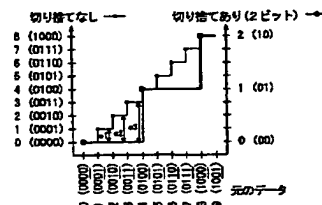
【図5】 従来の切り捨て処理を施すデジタル信号処理回路の構成を示すブロック図。

【図6】 従来のデジタル信号処理回路における切り捨て処理の動作を説明するためのグラフである。

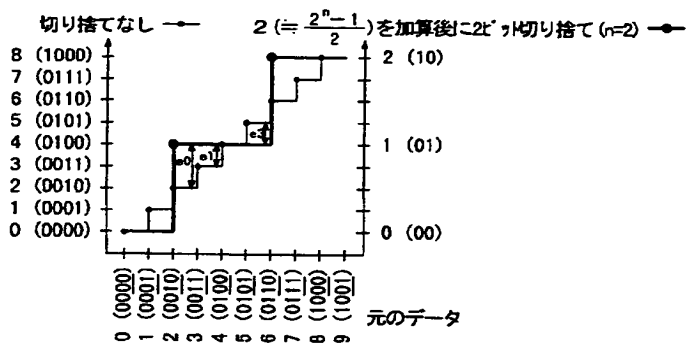
【符号の説明】

- 101、301、401、501 デジタル信号の入力端子
- 102、302、402、502 デジタルフィルタなどの演算処理部
- 404、406、502 デジタルフィルタなどの演算処理部
- 103、304 加算器
- 104、305 切り捨て誤差の補正値生成回路
- 105、503 n ビットの切り捨て処理部
- 306、403 $n-1$ ビットの切り捨て処理部
- 307、407 $n-k$ ビットの切り捨て処理部
- 405 $n-i$ ビットの切り捨て処理部
- 106、308、408、504 デジタル信号の出力端子

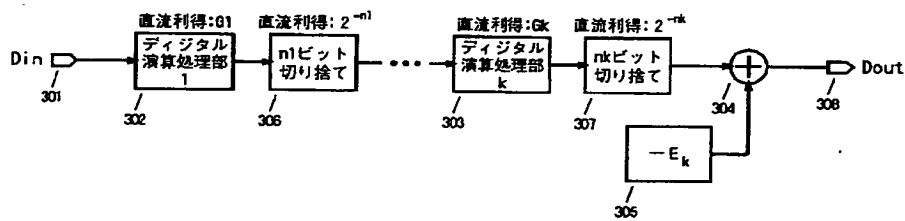
【図6】



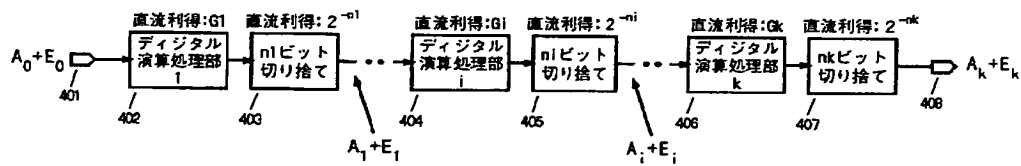
【図2】



【図3】



【図4】



【図5】

